NGHIÊN CỨU VÀ TRIỂN KHAI PHÁT HIỆN BIÊN SOBEL/PREWITT THỜI GIAN THỰC TRÊN FPGA

RESEARCH AND IMPLEMETATION OF REAL-TIME SOBEL/PREWITT EDGE DETECTION ON FPGA

SVTH: Nguyễn Ngọc Dũng, Hồ Kim Đạt , Cao Hồng Phúc, Phạm Huỳnh Thái Dương

Lớp 24DTVM2 Khoa Điện – Điện tử., Trường Đại học Sư phạm Kỹ thuật - Đại học Đà Nẵng

GVHD: ThS. Phan Ngọc Kỳ

Khoa Điện – Điện tử, Trường Đại học Sư phạm Kỹ thuật - Đại học Đà Nẵng

Tóm tắt - Bài báo trình bày việc nghiên cứu và triển khai thuật toán phát hiện biên ảnh thời gian thực trên phần cứng cấu hình lại FPGA. Hệ thống được thiết kế trên board phát triển DE2 của Altera sử dụng chip Cyclone II EP2C35F672C6, với ngôn ngữ mô tả phần cứng Verilog HDL trên phần mềm Quartus II. Hai bộ tách biên ảnh thông dụng sử dụng mặt nạ Sobel và Prewitt kích thước 3×3 được tối ưu hóa với kiến trúc xử lý song song và đường ống nhằm đảm bảo khả năng xử lý thời gian thực. Dữ liệu hình ảnh đầu vào được thu nhận từ module camera ESP32-CAM, truyền về FPGA qua giao tiếp SPI, sau đó được xử lý tách biên và hiển thị kết quả lên màn hình VGA. Kết quả thực nghiệm cho thấy hệ thống đạt được tốc độ xử lý khung hình ổn định, đáp ứng yêu cầu thời gian thực với độ trễ thấp. So sánh hiệu năng giữa hai toán tử Sobel và Prewitt cho thấy bộ lọc Sobel cho kết quả tách biên chi tiết hơn. Hệ thống có tiềm năng ứng dụng trong giám sát an ninh thông minh, hệ thống giao thông thông minh, robot tự hành, kiểm tra chất lượng sản phẩm tự động và hỗ trợ chẩn đoán hình ảnh y tế.

Từ khóa - Phát hiện biên, Sobel, Prewitt, FPGA, xử lý ảnh thời gian thực, ESP32-CAM, Verilog HDL, DE2 Cyclone II.

Abstract - This paper presents the research and implementation of a real-time edge detection algorithm on reconfigurable FPGA hardware. The system is designed on the Altera DE2 development board using the Cyclone II EP2C35F672C6 chip, with Verilog HDL on Quartus II software. Two common edge detectors using 3×3 Sobel and Prewitt masks are optimized with parallel processing and pipelining architecture to ensure real-time capability. Input image data is captured from the ESP32-CAM module, transmitted to the FPGA via SPI interface, then processed for edge detection and displayed on a VGA monitor. Experimental results show that the system achieves stable frame processing speed, meeting real-time requirements with low latency. Performance comparison indicates that the Sobel filter provides more detailed edge detection. The system has potential applications in intelligent security surveillance, intelligent transportation systems, autonomous robots, automated product quality inspection, and medical image diagnosis support.

Key words - Edge detection, Sobel, Prewitt, FPGA, real-time image processing, ESP32-CAM, Verilog HDL, DE2 Cyclone II.

1. Đặt vấn đề

Ngày nay, công nghệ xử lý hình ảnh số đang đóng vai trò then chốt trong bối cảnh Cách mạng Công nghiệp 4.0 và nền tảng trí tuệ nhân tạo, với phạm vi ứng dụng ngày càng mở rộng từ hệ thống giám sát an ninh thông minh, giao thông tự động, robot tự hành, kiểm tra chất lượng sản phẩm trong dây chuyền tự động hóa cho đến hỗ trợ chẩn đoán hình ảnh y tế. Trong chuỗi các bước xử lý ảnh, phát hiện biên (Edge Detection) được xem là một trong những thao tác tiền xử lý quan trọng nhất, nhằm trích xuất các đặc trưng hình học, giảm thiểu khối lượng dữ liệu đồng thời bảo toàn thông tin cấu trúc thiết yếu của đối tượng. Tuy nhiên, đa số các hệ thống phát hiện biên hiện nay vẫn được thực thi trên nền tảng phần mềm thuần túy (CPU/GPU), gặp phải hạn chế nghiêm trọng về độ trễ (latency) và khả năng đáp ứng thời gian thực, đặc biệt khi xử lý luồng video liên tục từ camera với yêu cầu 25–30 khung hình/giây. Điều này tạo ra nút thắt cổ chai trong các ứng dụng nhúng đòi hỏi phản hồi tức thì như phát hiện chuyển động xâm nhập, nhận diện làn đường trên xe tự lái hay phân loại sản phẩm lỗi trên dây chuyền sản xuất tốc độ cao.

Thực tế hiện nay cho thấy, các hệ thống xử lý ảnh dựa trên CPU hoặc GPU truyền thống thường gặp hạn chế về tốc độ xử lý, công suất tiêu thụ và độ trễ, đặc biệt khi triển khai trong môi trường nhúng hoặc các ứng dụng thời gian thực. Ví dụ, trong giám sát giao thông, camera phải xử lý hàng chục khung hình mỗi giây để phát hiện vi phạm, nhưng nếu độ trễ quá lớn thì hệ thống sẽ không đáp ứng được yêu cầu thực tế. Trong y tế, việc phân tích ảnh CT hoặc MRI cần tốc độ cao để hỗ trợ bác sĩ chẩn đoán kịp thời, nhưng các giải pháp phần mềm thuần túy thường không đảm bảo được tính tức thời. Điều này đặt ra yêu cầu cấp thiết về một nền tảng phần cứng có khả năng xử lý song song, tiêu thụ năng lượng thấp và đảm bảo độ ổn định theo thời gian, kết quả nghiên cứu và khảo sát.

Xuất phát từ nhu cầu thực tiễn đó, nghiên cứu này tập trung vào việc thiết kế và thực thi kiến trúc phần cứng tối ưu cho hai toán tử tách biên phổ biến là Sobel và Prewitt trên nền tảng FPGA Cyclone II EP2C35F672C6. Bằng cách sử dụng ngôn ngữ mô tả phần cứng Verilog HDL trên môi trường Quartus II, chúng tôi xây dựng một hệ thống nhúng hoàn chỉnh với khả năng xử lý dữ liệu hình ảnh trực tiếp từ module camera ESP32-CAM. Điểm cốt lõi của nghiên cứu nằm ở việc tối ưu hóa các khối nhân chập mặt nạ kích thước 3X3 thông qua kiến trúc xử lý song song kết hợp với kỹ thuật đường ống (pipelining). Cấu trúc này cho phép hệ thống tính toán đồng thời các thành phần gradient theo hướng ngang và dọc, giúp triệt tiêu các nút thắt cổ chai về tốc độ thường gặp trong các kiến trúc xử lý tuần tự. Việc tích hợp thành công luồng dữ liệu từ ESP32-CAM vào board phát triển Altera DE2 không chỉ chứng minh khả năng đáp ứng thời gian thực của thuật toán ở mức độ phần cứng (RTL) mà còn khẳng định tính khả thi của việc triển khai các hệ thống thị giác máy tính hiệu năng cao trên các nền tảng logic lập trình được.

2. Kết quả nghiên cứu và khảo sát

2.1 Cơ sở lý thuyết.

Phần này khái quát các cơ sở lý thuyết về thuật toán tách biên Sobel và Prewitt, các nguyên lý toán học và nền tảng kỹ thuật cốt lõi làm cơ sở cho việc hiện thực hóa bộ tách biên ảnh trên FPGA. Đồng thời, thiết lập các phương pháp tiếp cận về kiến trúc đường ống (pipeline) và xử lý song song các kỹ thuật tối ưu hóa phần cứng bằng ngôn ngữ Verilog HDL, nhằm đảm bảo khả năng xử lý thời gian thực cho hệ thống. Đây là những tiền đề kỹ thuật quan trọng để triển khai thiết kế chi tiết trên chip Cyclone II và tích hợp với module camera trong các chương tiếp theo.

2.1.1 Khái quát về biên và phân loại kỹ thuật dò biên

Kỹ thuật gradient là một phương pháp dò biên cục bộ dựa trên đạo hàm bậc nhất của hàm ảnh f(x,y) , trong đó gradient được định nghĩa như một vectơ có các thành phần biểu thị tốc độ thay đổi giá trị cường độ sáng của điểm ảnh theo hai hướng chính là x (hướng ngang) và y (hướng dọc); mục đích của kỹ thuật này là xác định các vùng trong ảnh có sự biến thiên cường độ sáng mạnh chính là các điểm biên để từ đó trích xuất cấu trúc hình học và đặc trưng của đối tượng. Do ảnh số là tín hiệu rời rạc nên đạo hàm không tồn tại trực tiếp; thay vào đó, nó được xấp xỉ bằng kỹ thuật nhân chập (convolution) giữa bức ảnh đầu vào với các mặt nạ (masks/kernels) có kích thước xác định, cho phép ước lượng độ lớn và hướng của biên một cách một cách hiệu quả trên hệ thống xử lý số. Người ta căn cứ vào hai thông số quan trọng của vectơ Gradient là độ lớn và hướng gradient để xác định một điểm ảnh có phải là biên hay không. Độ lớn gradient (G) biểu thị cường độ của sự thay đổi mức xám tại điểm ảnh đang xét, được tính theo công thức lý tưởng dựa trên định lý Pythagoras (1). Trong thực tế, để giảm khối lượng tính toán (đặc biệt khi triển khai trên FPGA), độ lớn thường được xấp xỉ bằng công thức (2). [1]

$$G = \sqrt{G_x^{\,2} + G_y^{\,2}} \quad (1) \qquad G = |Gx| + |Gy| \quad (2)$$

Bên cạnh đó, hướng gradient (θ) biểu thị hướng mà cường độ sáng thay đổi nhanh nhất, tức là hướng vuông góc với đường biên tại điểm đang xét, được xác định theo công thức (3):

$$\theta = \arctan(Gy/Gx) \quad (3)$$

Trong phương pháp gradient, việc lựa chọn mặt nạ tích chập (convolution kernel) có ảnh hưởng trực tiếp đến độ nhạy biên và khả năng chống nhiễu của toàn bộ hệ thống. Hai toán tử phổ biến nhất sử dụng mặt nạ kích thước 3×3 là Prewitt và Sobel, cả hai đều xấp xỉ đạo hàm bậc nhất theo hai hướng ngang và dọc thông qua phép nhân chập. Toán tử Prewitt sử dụng các hệ số đồng nhất với trọng số bằng 1, cho phép tính toán đơn giản và triển khai phần cứng thuận lợi; tuy nhiên, do thiếu cơ chế làm mịn nội tại nên Prewitt dễ bị ảnh hưởng bởi nhiễu cục bộ. Ngược lại, toán tử Sobel được xây dựng trên cùng cấu trúc 3×3 nhưng gán trọng số gấp đôi (bằng 2) cho các phần tử nằm tại hàng hoặc cột trung tâm. Sự phân bố trọng số này tương đương với việc kết hợp một bộ lọc làm mịn Gaussian với toán tử đạo hàm, giúp Sobel vừa duy trì khả năng phát hiện biên vừa triệt tiêu nhiễu tốt hơn, đặc biệt là với các đường biên theo hướng chéo. Sau khi thực hiện tích chập và thu được hai thành phần *Gx* ,*Gy*, độ lớn gradient G được tính toán và so sánh với một ngưỡng T để nhị phân hóa ảnh đầu ra: điểm ảnh được xác định là biên nếu G > T (mức logic cao) và là nền trong trường hợp ngược lại. [1][5]

Toán tử Prewitt:

$$G_x = \begin{bmatrix} -1 & 0 & +1 \\ -1 & 0 & +1 \\ -1 & 0 & +1 \end{bmatrix} ; G_y = \begin{bmatrix} +1 & +1 & +1 \\ 0 & 0 & 0 \\ -1 & -1 & -1 \end{bmatrix}$$

Toán tử Sobel:

$$G_x = \begin{bmatrix} -1 & 0 & +1 \\ -2 & 0 & +2 \\ -1 & 0 & +1 \end{bmatrix} ; G_y = \begin{bmatrix} +1 & +2 & +1 \\ 0 & 0 & 0 \\ -1 & -2 & -1 \end{bmatrix}$$

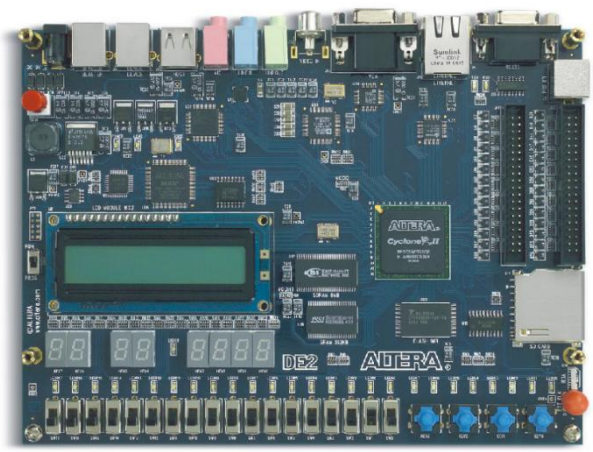
Quá trình nhị phân hóa ảnh biên dựa trên ngưỡng:

$$\text{Output}(x,y) = \begin{cases} G(x,y)\ (biên), & nếu\ G(x,y) > T \\ 0(nền), & nếu\ G(x,y) \le T \end{cases}$$

2.2 Lựa chọn thiết bị và công cụ phát triển

FPGA: Board phát triển FPGA DE2. Hệ thống xử lý ảnh được triển khai trên board DE2 trang bị chip FPGA Altera Cyclone II EP2C35F672C6. Chip này cung cấp 33.216 phần tử logic, 483.840 bits bộ nhớ RAM nhúng và 35 khối nhân phần cứng 18×18, đáp ứng đầy đủ tài nguyên cho kiến trúc pipeline tách biên 3×3 với khối line buffer, bộ cộng/trừ tích chập và khối tính toán độ lớn gradient. Board tích hợp sẵn SDRAM 8 MB, cổng UART RS-232 và giao diện VGA với bộ chuyển đổi DAC 10 bit (ADV7123), cho phép xây dựng hệ thống độc lập mà không cần thiết kế thêm mạch ngoại vi phức tạp. Các chân I/O đa năng (475 pins) cũng tạo điều kiện mở rộng kết nối với module camera trong các phiên bản nâng cấp.

Module camera ESP32-CAM tích hợp cảm biến



FPGA: DE2 (Altera Cyclone II EP2C35F672C

CMOS OV3660 được sử dụng làm nguồn thu nhận hình ảnh. Dữ liệu được cấu hình ở chế độ grayscale 8-bit và truyền đến FPGA qua giao tiếp SPI. Độ phân giải QVGA (320x240) được chọn để đảm bảo khả năng xử lý pipeline thời gian thực trên chip Cyclone II.



Camera: ESP32-CAM (OV3660)

Thiết kế được triển khai trên Quartus II 13.0sp1 với mô tả phần cứng Verilog HDL, nhắm đến FPGA Cyclone II. Toàn bộ quy trình bao gồm tổng hợp logic, bố trí định tuyến, phân tích thời gian TimeQuest và kiểm chứng chức năng/thời gian trên ModelSim-Altera trước khi nạp xuống phần cứng.

2.3 Thiết kế kiến trúc và triển khai phần cứng trên FPGA

2.1.2 Sơ đồ khối tổng quát hệ thống

Hình 1 trình bày sơ đồ khối tổng quát của hệ thống phát hiện biên Sobel/Prewitt thời gian thực được triển khai trên board phát triển DE2 của Altera. Hệ thống được thiết kế theo kiến trúc modular với bốn khối chức năng chính hoạt động phối hợp chặt chẽ nhằm xử lý luồng dữ liệu hình ảnh theo thời gian thực.



Hình 1: Sơ đồ khối tổng quát hệ thống phát hiện biên Sobel/Prewitt thời gian thực trên FPGA

Hệ thống bao gồm khối giao tiếp camera nhận dữ liệu pixel từ module ESP32-CAM thông qua giao tiếp SPI, thực hiện giải mã gói tin và chuyển đổi sang dòng pixel grayscale. Tiếp theo là khối tiền xử lý và đệm dữ liệu sử dụng các module FIFO cùng bộ điều khiển SDRAM nhằm đồng bộ hóa tốc độ giữa dòng dữ liệu đầu vào từ camera với tốc độ xử lý của lõi FPGA, đồng thời làm bộ đệm trung gian cho khối hiển thị. Trung tâm xử lý của hệ thống là lõi xử lý biên ảnh (Edge Detection Core), nơi thực hiện thuật toán Sobel và Prewitt với mặt nạ kích thước 3×3. Cuối cùng, khối điều khiển hiển thị VGA nhận kết quả từ lõi xử lý và xuất ảnh biên thời gian thực lên màn hình thông qua giao diện VGA tích hợp trên board DE2.

Toàn bộ hệ thống được xây dựng theo nguyên lý xử lý dòng dữ liệu streaming theo kiểu pixel-by-pixel, kết hợp kỹ thuật đường ống (pipeline) và xử lý song song. Kiến trúc này cho phép hệ thống đạt được hiệu suất thời gian thực với độ trễ thấp, đồng thời tận dụng tối đa khả năng tính toán song song của chip FPGA Cyclone II EP2C35F672C6. Việc phân chia hệ thống thành các module độc lập không chỉ giúp dễ dàng kiểm tra, mô phỏng và tối ưu hóa từng khối mà còn tạo thuận lợi cho việc mở rộng hệ thống trong các nghiên cứu tiếp theo.

2.1.3 Mô phỏng và kiểm chứng thuật toán trên phần mềm MATLAB

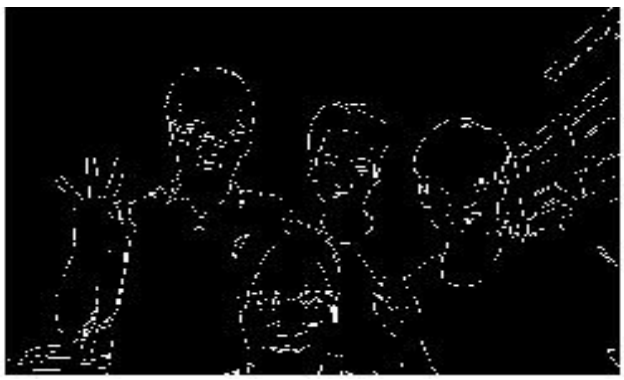
Trước khi triển khai trên FPGA, thuật toán phát hiện biên Sobel và Prewitt được mô phỏng trên môi trường MATLAB nhằm kiểm chứng tính đúng đắn của các phép tính gradient và lựa chọn ngưỡng nhị phân (threshold). Kết quả mô phỏng trên MATLAB được sử dụng làm chuẩn tham chiếu để so sánh trực tiếp với kết quả thực thi trên phần cứng sau khi nhúng thiết kế Verilog HDL lên board Altera DE2. Kết quả xử lí qua MATLAB được thể hiện bên dưới.[4]



Ảnh gốc



Phát hiện biên Prewitt trên MATLAB



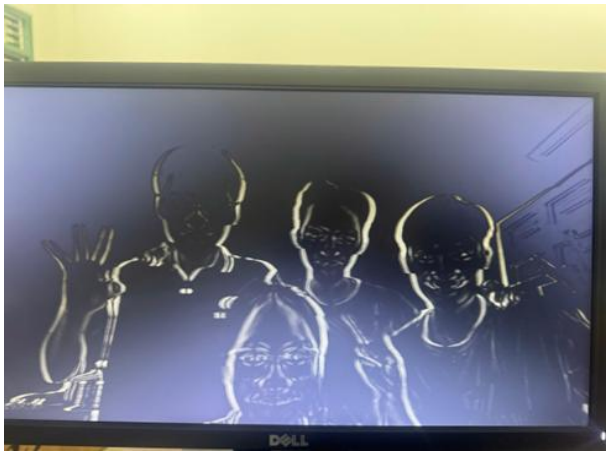
Phát hiện biên Sobel trên MATLAB

2.1.4 Kết quả tách biên bằng phần mềm và chạy kiểm tra thực tế trên phần cứng FPGA

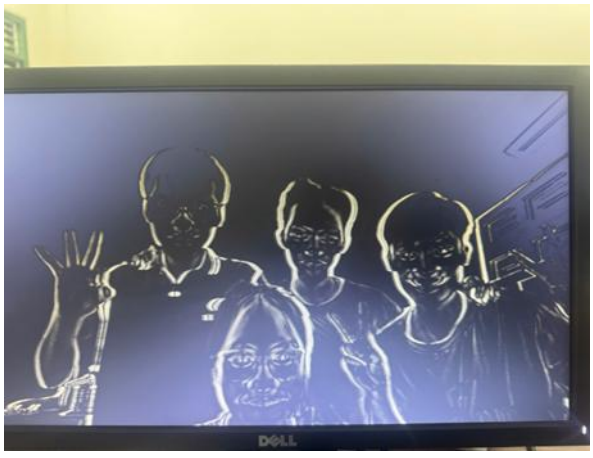
Sau khi kiểm chứng thuật toán thành công trên môi trường MATLAB, thiết kế được chuyển sang ngôn ngữ Verilog HDL và triển khai thực tế trên board phát triển Altera DE2 với chip Cyclone II EP2C35F672C6. Hệ thống được kiểm tra với dữ liệu ảnh đầu vào thu trực tiếp từ module ESP32-CAM và kết quả tách biên được hiển thị thời gian thực qua giao diện VGA. Để đánh giá tính chính xác của thiết kế phần cứng, kết quả tách biên ảnh thu được từ mô phỏng MATLAB được so sánh trực tiếp với kết quả thực thi trên board FPGA DE2. Hình 2 và Hình 3 lần lượt trình bày kết quả tách biên sử dụng toán tử Sobel và Prewitt.



Ảnh gốc



Phát hiện biên Prewitt trên FPGA



Phát hiện biên Sobel trên FPGA

3. Kết quả tổng hợp trên phần cứng và đánh giá

Quan sát các hình ảnh cho thấy kết quả tách biên giữa mô phỏng MATLAB và triển khai trên FPGA là hoàn toàn tương đồng về vị trí, độ rõ nét và chi tiết của các đường biên. Điều này chứng minh rằng kiến trúc pipeline cùng các module xử lý song song được thiết kế bằng Verilog HDL đã tái tạo chính xác thuật toán trên phần cứng Cyclone II EP2C35F672C6.

Kết quả thực nghiệm cho thấy cả hai toán tử Sobel và Prewitt đều cho khả năng phát hiện biên tốt, tuy nhiên tồn tại sự khác biệt rõ nét về chất lượng và hiệu quả sử dụng tài nguyên. Toán tử Sobel thể hiện ưu thế vượt trội hơn so với Prewitt về độ chi tiết và độ sắc nét của đường biên, đặc biệt tại các vùng chuyển tiếp có độ tương phản trung bình và các đường biên hướng chéo. Điều này xuất phát từ việc Sobel sử dụng trọng số lớn hơn (hệ số 2) tại vị trí trung tâm của mặt nạ, giúp kết hợp giữa phép tính gradient và lọc nhiễu Gaussian một cách hiệu quả.

Ngược lại, toán tử Prewitt với các hệ số đồng nhất (= 1) cho kết quả biên đơn giản và rõ ràng hơn ở các vùng có độ tương phản cao, nhưng dễ bị ảnh hưởng bởi nhiễu hơn và cho ít chi tiết biên ở các khu vực chuyển tiếp mượt mà. Về mặt tài nguyên phần cứng, thiết kế Sobel tiêu tốn ít Logic Elements và bộ nhớ nhúng hơn so với Prewitt, chủ yếu nhờ tối ưu hóa phép nhân với hệ số 2 bằng kỹ thuật dịch bit (bit-shift).[3]

Tổng hợp lại, trong khuôn khổ đề tài này, toán tử Sobel được đánh giá là lựa chọn tối ưu hơn nhờ cân bằng tốt giữa chất lượng tách biên, khả năng chống nhiễu và hiệu quả sử dụng tài nguyên trên nền tảng FPGA Cyclone II.

4. Kết luận

Nghiên cứu đã hoàn thành các mục tiêu đề ra. Nhóm đã thiết kế và triển khai thành công hệ thống phát hiện biên Sobel/Prewitt thời gian thực trên FPGA Cyclone II EP2C35F672C6 sử dụng Verilog HDL. Hệ thống bao gồm các khối thu nhận ảnh từ ESP32-CAM qua SPI, lõi xử lý pipeline song song và hiển thị kết quả qua VGA trên board DE2. Kết quả thực nghiệm cho thấy hệ thống hoạt động ổn định, đáp ứng yêu cầu thời gian thực với độ trễ thấp. Thuật toán Sobel thể hiện ưu thế vượt trội so với Prewitt về chất lượng biên và khả năng chống nhiễu, đồng thời vẫn tối ưu về tài nguyên phần cứng. Đề tài khẳng định hiệu quả của FPGA trong xử lý ảnh nhúng và tạo nền tảng cho các ứng dụng thực tiễn như giám sát an ninh thông minh, robot tự hành và hỗ trợ chẩn đoán y tế. Hướng nghiên cứu tiếp theo sẽ tập trung nâng cao độ phân giải và tích hợp các thuật toán tiên tiến hơn.

Tài liệu tham khảo

[1] Rafael C. Gonzalez and Richard E. Woods, Digital Image Processing, 3rd Edition, Pearson Education, 2008. (Nguồn kinh điển về lý thuyết tách biên và xử lý ảnh cơ bản)

[2] N. Nausheen, A. Seal, P. Khanna, and S. Halder, "A FPGA based implementation of Sobel edge detection," Microprocessors and Microsystems, vol. 56, pp. 84-91, 2018. (Nguồn quan trọng nhất về việc hiện thực hóa thuật toán Sobel trên phần cứng FPGA)

[3] I. Yasri, N. H. Hamid, and V. V. Yap, "Performance analysis of FPGA based sobel edge detection operator," Proc. International Conference on Electronic Design, pp. 1-4, 2008. (Nguồn dùng để tham chiếu về đánh giá hiệu năng và so sánh trên FPGA)

[4] Trần Nhật Tin, Lê Thanh Lâm, Huỳnh Việt Thắng, "Thực hiện

khối tách biên ảnh trên FPGA," Tạp chí Khoa học và Công nghệ - Đại học Đà Nẵng, 2021. (Nguồn nghiên cứu tại Việt Nam, rất sát với đề tài và công cụ bạn sử dụng)

[5] Taoufik Saidani, et al., "Design and Implementation of a Real-Time Image Processing System Based on Sobel Edge Detection using Model-based Design Methods," IJACSA, Vol. 15, No. 3, 2024.